

Method and apparatus for calibrating a multi-bit delta-sigma modular

Publication number: DE4311259

Publication date: 1993-10-21

Inventor: THOMPSON CHARLES D (US); BAVEL NICHOLAS RICHARD VAN (US); BERNADAS SALVADOR ROSARIO (US); SWANSON ERIC J (US)

Applicant: CRYSTAL SEMICONDUCTOR CORP (US)

Classification:

- international: H03M1/10; H03M3/00; H03M3/04; H03M1/10; H03M3/00; (IPC1-7): H03M1/10

- european: H03M3/00

Application number: DE19934311259 19930406

Priority number(s): US19920870270 19920417

Also published as:

US 5257026 (A1)

J P6224772 (A)

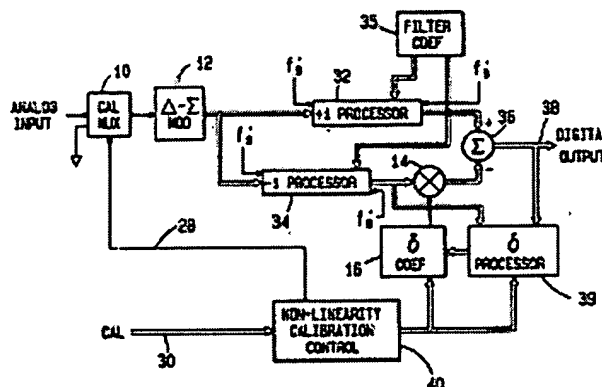
G B2266205 (A)

Report a data error here

Abstract not available for DE4311259

Abstract of corresponding document: **US5257026**

A calibration method and apparatus to calibrate for non-linearities in a multi-level delta-sigma modulator (12) includes a calibration multiplexer (10) on the input for selecting in a calibration mode a zero voltage for input to the delta-sigma modulator (12). The delta-sigma modulator (12) has three levels, +1, 0, -1, the +1 level input to a processor (32) and the -1 level input to a processor (34). The processor (34) has the output thereof input to an compensation circuit (14) that offsets the value generated by the -1 processor (34) by a coefficient delta. The output of the compensation circuit (14) is then input to the minus input of a summation junction (36), which also receives the output of the processor (32), the output of summation junction (36) providing the digital output. The processors (32) and (34) are realized with a separate accumulator that switches between an associated filter coefficient and ground, the filter coefficient stored in a ROM (35). The delta coefficient is stored in a block (16) and is generated during a calibration cycle by a delta processor (39). The delta processor (39) receives the output of the compensation circuit (14) and the digital output from the summing junction (36) when the calibration multiplexer (10) sets the input to zero. A control circuit (40) controls the overall operation, with the calibration operation initiated in response to either an external signal on a line (30) or an internally generated signal. After calibration, the value of the delta coefficient is frozen and the calibration multiplexer (10) selects the analog input.





①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①⑫ Patentschrift
①⑩ DE 43 11 259 C 2

⑤① Int. Cl.⁵:
H 03 M 1/10
H 03 M 3/02

DS

②① Aktenzeichen: P 43 11 259.5-42
②② Anmeldetag: 6. 4. 93
④③ Offenlegungstag: 21. 10. 93
④⑤ Veröffentlichungstag
der Patenterteilung: 8. 6. 95

DE 43 11 259 C 2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③⑩ Unionspriorität: ③② ③③ ③①

17.04.92 US 870270

⑦③ Patentinhaber:

Crystal Semiconductor Corp., Austin, Tex., US

⑦④ Vertreter:

Durm, K., Dr.-Ing.; Durm, F., Dipl.-Ing., Pat.-Anwälte,
76185 Karlsruhe

⑦② Erfinder:

Thompson, Charles D., Austin, Tex., US; Bavel,
Nicholas Richard van, Austin, Tex., US; Bernadas,
Salvador Rosario, Austin, Tex., US; Swanson, Eric J.,
Buda, Tex., US

⑤⑥ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

US 49 43 807
J.J. PAULOS et al.: Improved Signal-to-Noise Ratio
Using Tri-Level Delta-Sigma Modulation. In: JEEE
Proceedings JSCAS, 1987, S.463-466;
ADAMS, R.W.: Design and Implementation of an
Audio 18-Bit Analog-to-Digital Converter Using
Oversampling Techniques. In: J. Audio Eng.
Soc. 1986, S.153,166;
CARLEY, L.R.: A Noise-Shaping Coder Topology
for 15+ Bit Converters. In: JEEE J. Solid- State
Circuits, 1989, S.267-273;

⑤④ Analog/Digital-Wandler mit Kalibrierung und Verfahren zur Ausführung einer Analog/Digital-Wandlung

DE 43 11 259 C 2

Diese Erfindung betrifft einen Analog/Digital-Wandler mit Kalibrierung gemäß dem Oberbegriff des ersten Patentanspruchs. Die Erfindung betrifft ferner ein Verfahren zur Ausführung einer Digital/Analog-Wandlung nach dem Oberbegriff des Patentanspruchs 9.

Delta-Sigma-Analog/Digital-Wandler hoher Ordnung weisen einer Anzahl von Rauschquellen, Offsets, usw. auf, die deren Gesamtleistungsfähigkeit verschlechtern, insbesondere dann, wenn sehr kleine Eingangsspannungspegel aufgelöst werden. Gleichspannungsoffsets und Verstärkungsfehler waren die Fehlerquellen in solchen ADC's, und diese Fehler sind mit Selbstkalibriersystemen angegangen worden, wie sie in dem US-Patent Nr. 4 943 807 beschrieben sind. Eine andere Fehlerquelle ist die Nichtlinearität des Delta-Sigma-Modulators, die teilweise auf den Rückkopplungs-DAC zurückzuführen ist.

Die Nichtlinearität des Rückkopplungs-DAC's ist in einem Delta-Sigma-Modulator mit Mehrfachpegelausgang im Vergleich zu einem Ein-Bit Delta-Sigma-Modulator von größerer Bedeutung. Der Ein-Bit-Modulator benötigt nur eine Zwei-Zustands-Rückkopplung, die inhärent linear ist. Der Ein-Bit-Modulator weist jedoch insofern einen Nachteil auf, daß dann, wenn sich das Eingangssignal nahe um den Mittenbereich bewegt, während jeder Abtastperiode große Fehlerbeträge zur Schleife hinzuaddiert werden. Bei Verwendung eines Mehrfachpegelmodulators und eines oder mehrerer zusätzlicher DAC-Pegel ist der Zustand des Rückkopplungs-DAC's der eines "nichts tun"-Zustands, wenn sich die Eingangsspannung nahe um den Mittenbereich bewegt, was die Quantisierungsfehler-RMS-Spannung minimiert. Eine derartige DAC-Topologie ist in J. J. Paulos, G. T. Brauns, M. B. Steer und S. H. Ardalan, "Improved Signal-To-Noise Ratio Using Tri-Level Delta-Sigma Modulation", IEEE Proceedings ISCAS, Seite 463—466, Mai 1987, offenbart. Ein Nachteil für einen Mehrfachpegel-Rückkopplungs-DAC besteht darin, daß die Mehrfachpegel-Rückkopplung nicht mehr die inhärente Linearität der zwei Zustände bietet, wie es bei einem Ein-Bit-Modulator der Fall war. Im allgemeinen muß der Rückkopplungs-DAC in einem Mehrfach-Pegel-Delta-Sigma-Modulator bis zur vollen Genauigkeit des Gesamtwandlers linear sein. Das Justieren sogar des dritten Rückkopplungszustands auf eine ppm-Genauigkeit kann schwierig sein. Für Audio-Anwendungen wurde die sorgfältige Auswahl von Widerständen versucht, wie es in R.W. Adams, "Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques", J. Audio Eng. Soc., Band. 34, Seite 153—166, März 1986, offenbart ist. Eine andere Technik verwendet einen dynamischen Elementabgleich durch ein wechselweises Einschalten unpräziser DAC-Elemente, um Linearitätsfehler in Rauschen umzuwandeln, was in L. R. Carley, "A Noise Shaping Coder Topology for 15+ Bit Converters", IEEE J. Solid-State Circuits, Band SC-24, Seite 267—273, April 1989, offenbart worden ist.

Diese zuvor genannten Techniken erfordern die Rekonfigurationen analoger Schaltungstopologien und Änderungen bei den digitalen Steuersignalformen, die im allgemeinen in jeder selbstkalibrierten Architektur unerwünscht sind. In die Analogschaltung eingekoppelte digitale Interferenzen können durch Kalibrierung entfernt werden, aber alle Unterschiede in der Interferenz zwischen dem Kalibriermodus und dem Normalbe-

triebsmodus resultieren in Fehlern, die nicht durch die Kalibrierung entfernt werden. Demzufolge besteht ein Bedarf an einem Kalibriersystem, das die Nichtlinearitäten in einem Mehrfach-Pegel-Rückkopplungs-DAC vor dem Einsatz der herkömmlichen Delta-Sigma-Kalibrierprozeduren zur Elimination der Gesamtverstärkungs- und Offsetfehler kalibriert.

Angesichts der geschilderten Nachteile im Stand der Technik liegt der vorliegenden Erfindung das technische Problem zugrunde, die Nichtlinearitäten eines mit Delta-Sigma-Modulation arbeitenden Analog/Digital-Wandlers ohne vorherige Kenntnis dieser Nichtlinearitäten möglichst weitgehend zu kompensieren.

Bei der Lösung der gestellten Aufgabe wird ausgegangen von einem AD-Wandler mit den Merkmalen des Oberbegriffs des Patentanspruchs 1, wie er aus der erwähnten US 4 943 807 bekannt ist. Gelöst wird die Aufgabe gemäß dem kennzeichnenden Teil des Patentanspruchs 1 dadurch, daß die Nichtlinearitäts-Kompensationseinrichtung zur Steuerung des Digitalfilters in der Lage ist, $m-2$ von den durch den Delta-Sigma-Modulator ausgegebenen m Pegeln, die das Digitalfilter ansteuern, zu variieren, wobei die $m-2$ kompensierten Pegel der m -Pegel entsprechend denen gespeicherten Nichtlinearitäts-Kompensationsparametern kompensiert werden.

Die auf die Angabe eines entsprechenden Verfahrens gerichtete Aufgabe wird bei einem Verfahren, das die Verfahrensschritte des Oberbegriffs des Patentanspruchs 9 umfaßt, dadurch gelöst, daß der Schritt der Kompensation die Kompensation der Werte von $m-2$ der vom Wandlungsprozeß ausgegebenen m Pegel beinhaltet, die zur Ansteuerung des Digitalfilters verwendet werden.

Die vorliegende Erfindung schafft ein Verfahren und eine Vorrichtung zur Kompensation der Nichtlinearitäten in einem Analog/Digital-Wandler mit einem Delta-Sigma-Modulator mit Mehrfachpegelausgang. Der Delta-Sigma-Modulator weist einen m -Pegel-Ausgang mit m größer als zwei auf, dessen Ausgangssignal in ein Digitalfilter eingegeben wird. Das Digitalfilter arbeitet gemäß Filterkoeffizienten, die in einem Speicher gespeichert sind. Der Speicher ist auch in der Lage, die Nichtlinearitäts-Kompensationsparameter zu speichern. Der Betrieb des Digitalfilters wird so gesteuert, daß es die Nichtlinearitäten kompensiert, die in dem Delta-Sigma-Modulator während des Betriebs des Digitalfilters auftreten. Die hier vorgeschlagene Art der Kalibrierung hat den Vorteil, daß die Nichtlinearitäten des DA-Wandlers kompensiert werden, ohne daß eine "a priori"-Kenntnis dieser Nichtlinearitäten erforderlich ist.

In einer vorteilhaften Ausführung der vorliegenden Erfindung wird das Digitalfilter mit dem m -Pegel-Ausgangssignal des Delta-Sigma-Modulators angesteuert. Die Kompensationseinrichtung ist in der Lage, $m-2$ von den m Pegeln zu kompensieren, die zur Ansteuerung des Digitalfilters gemäß den gespeicherten Nichtlinearitätsparametern eingesetzt werden. Bevorzugt ist der Wert von m gleich 3.

In vorteilhafter Weiterbildung der vorliegenden Erfindung besteht der Mehrfachpegelausgang des Delta-Sigma-Modulators aus einem " -1 "-Pegel, einem "nichts-tun"-Pegel und einem " $+1$ "-Pegel. Das Filter besteht aus ersten und zweiten Prozessoren zur Bearbeitung der " $+1$ "-Pegel bzw. " -1 "-Pegel, wobei jeder Prozessor die gespeicherten Filterkoeffizienten aufnimmt und einen Satz akkumulierter Filterkoeffizienten erzeugt, die als Funktion der zugeordneten Pegel akku-

muliert werden, die von dem Delta-Sigma-Analogmodulator ausgegeben werden. Eine Summiereinrichtung ist in der Lage, das Ausgangssignal der ersten und zweiten Prozessoren aufzunehmen und deren Differenz zu summieren. Die Kompensationseinrichtung kompensiert das Ausgangssignal eines der ersten und zweiten Prozessoren gemäß den gespeicherten Nichtlinearitäts-Kompensationsparametern, bevor die Summenbildung mit der Summiereinrichtung durchgeführt wird.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Kalibrierungseinrichtung zur Bestimmung der Nichtlinearitätsparameter als Reaktion auf den Empfang eines Kalibriersignals vorgesehen. Diese Kalibrierungseinrichtung ist in der Lage, den Betriebsmodus von einem normalen Betriebsmodus in einen Kalibriermodus umzuschalten. Im Kalibriermodus werden die Nichtlinearitätsparameter bestimmt und dann in dem Speicher abgespeichert. Danach wird das System wieder in einen normalen Betriebsmodus zurückgeschaltet.

Bei einer besonders bevorzugten Ausführung der vorliegenden Erfindung besteht die Kalibrierungseinrichtung aus einem Kalibriermultiplexer, um den Eingang mit einem Null-Eingangspegel anzusteuern. Ein Nichtlinearitäts-Anpassungsprozessor steht für den Vergleich des Ausgangssignals des Digitalfilters mit einem gewünschten Wert zur Verfügung, um ein Fehlersignal zu definieren. Dann wird eine Wiederholung ausgeführt, wobei die Nichtlinearitäts-Kompensationsparameter für einen Zeitraum wiederholt werden, der ausreicht, das Fehlersignal unter einen vorgegebenen Wert zu drücken. Dann werden die Nichtlinearitätsparameter in dem Speicher abgespeichert.

Ein Ausführungsbeispiel der Erfindung wird nachstehend unter Bezugnahme auf die beiliegenden Zeichnungen beschrieben. Es zeigen:

Fig. 1 ein allgemeines Blockschaltbild eines kalibrierten Analog/Digital-Wandlers mit Selbstkalibrierfähigkeit der Nichtlinearitäten in dem Delta-Sigma-Modulator;

Fig. 2 ein detailliertes Blockschaltbild des Kalibrierungssystemanteils, der zur Auskalibrierung der Nichtlinearitäten im Delta-Sigma-Modulator verwendet wird;

Fig. 3 ein Blockschaltbild des allgemeinen m-Bit-Delta-Sigma-Modulators;

Fig. 4 ein detailliertes Blockschaltbild eines Dreifachpegel Delta-Sigma-Modulators;

Fig. 5 das Ausgangsspektrum des idealen Modulators;

Fig. 6 die Digitalfilterantwort für das Modulatorausgangsspektrum von Fig. 5;

Fig. 7 das nichtideale Modulatorausgangsspektrum;

Fig. 8 den Verlauf des DAC-Ausgangssignals und des Modulatorausgangssignals für den nichtidealen DAC;

Fig. 9 ein durch einen Mehrfachpegel-Delta-Sigma-Modulator angesteuertes konventionelles Dezimierungsfilters;

Fig. 10 eine bevorzugte Ausführungsform des Dezimierungsfilters;

Fig. 11 ein Blockschaltbild für den Gesamtkalibrierungsvorgang im Digitalfilterbereich; und

Fig. 12 den Normalbetrieb, nachdem der Wert von δ gesetzt wurde.

Fig. 1 ist ein detailliertes Blockschaltbild eines gesamten Analog/Digital-Wandlers, der eine Kalibrierung für die Verstärkungs- und Offsetfehler und auch eine Kalibrierung der Nichtlinearitäten in einem Mehrfach-Bit-Delta-Sigma-Modulator verwendet. Ein Kalibriermultiplexer 10 ist vorgesehen, der in der Lage ist, ein analo-

ges Eingangssignal und drei Referenzspannungen, eine positive Referenzspannung, eine negative Referenzspannung und eine Null-Referenzspannung zu empfangen. Die positiven und negativen Referenzspannungen werden zur Gesamt-Verstärkungs- und Offsetkalibrierung eingesetzt, während die Null-Referenzspannung für die Nichtlinearitätskalibrierung eingesetzt wird, wie es später genauer beschrieben wird. Das Ausgangssignal des Multiplexers 10 wird in den Eingang des Delta-Sigma-Modulators 12 eingespeist, der an seinem Ausgang ein Mehrfachpegel-Ausgangssignal erzeugt. In der bevorzugten Ausführungsform ist das Ausgangssignal ein Zwei-Bit-Ausgangssignal mit drei Pegeln, nämlich "+1", "0", "-1".

Das Ausgangssignal des Delta-Sigma-Modulators 12 wird in eine Kompensationsschaltung 14 eingespeist, die in der Lage ist, die Pegel "+1" und "0" passieren zu lassen und den "-1"-Ausgangspegel mit einem δ -Offsetkoeffizienten zu kalibrieren. Der δ -Offsetkoeffizient ist in einem δ -Koeffizientenblock 16 abgespeichert, der ein Register darstellt, und dieser wird in die Kompensationsschaltung 14 für die Verwendung im Normalbetriebsmodus eingegeben, wie es später noch genauer beschrieben werden wird. Das Ausgangssignal der Kompensationsschaltung 14 wird in ein Digitalfilter 18 eingespeist, das typischerweise ein Filter mit begrenzter Impulsantwort (FIR — Finite Impuls Response) ist. In der bevorzugten Ausführungsform sind, wie es hier später beschrieben werden wird, die Kompensationsschaltung 14 und das Digitalfilter 18 kombiniert.

Das Ausgangssignal des Digitalfilters 18 wird in ein Kalibriermodul 20 eingegeben, das in der Lage ist, Verstärkungs- und Offsetfehler gemäß dem US-Patent Nr. 4,943,807 zu kalibrieren. Das Kalibriermodul 20 wird durch eine Kalibriersteuerschaltung 22 gesteuert, die mit ihm über einen bidirektionalen Bus 23 verbunden ist. Das Kalibriermodul 20 ist unter der Steuerung der Kalibriersteuerschaltung 22 in der Lage, die Offset/Verstärkungs-Kalibrierparameter zu bestimmen und sie in einem Block 24, der einen Speicher darstellt, abzuspeichern. Während des Normalbetriebs werden diese Parameter von dem Kalibriermodul zur Durchführung der aktuellen Offset-Verstärkungskorrektur verwendet. Die Kalibriersteuerung 22 steuert auch über den Bus 26 den Kalibriervorgang, der zur Erzeugung des δ -Koeffizienten im Block 16 eingesetzt wird, wie später noch beschrieben werden wird.

Der Kalibriermultiplexer 10 wird bei allen Kalibriervorgängen durch die Kalibriersteuerung 22 gesteuert und ist zu diesem Zweck über einen Bus 28 damit verbunden. Die Kalibriersteuerung 22 kann auch in einem Automatikmodus arbeiten, was in der bevorzugten Ausführungsform bei einem Einschaltvorgang der Fall ist. Des weiteren kann über eine Steuerleitung 30 ein externes Kalibriersignal empfangen werden, um den Kalibriervorgang periodisch als Antwort auf externe Anregungen auslösen zu können. Da sich die Parameter des Hochauflösungs-Analog/Digital-Wandlers als Funktion der Zeit, der Temperatur usw. ändern werden, ist es erforderlich, das System periodisch zu rekalisieren.

In Fig. 2 ist ein Blockschaltbild des Teils des Kalibriervorgangs dargestellt, der sich auf die Kalibrierung der Nichtlinearitäten in dem Delta-Sigma-Modulator 12 bezieht. Das Ausgangssignal des Delta-Sigma-Modulators 12 wird in einen "+1"-Prozessor 32 und auch in einen "-1"-Prozessor 34 eingespeist. Das Ausgangssignal des Prozessors 32 wird in dem positiven Eingang eines Summenknotens 36 eingegeben. Das Ausgangssi-

gnal des -1 -Prozessors 34, dessen Wert durch den δ -Koeffizienten in Block 16 offsetverschoben ist, wird in die Kompensationsschaltung 14 eingegeben. Dieser kompensierte Wert wird dann in dem Minus-Eingang des Summenknotens 36 eingespeist. Der Ausgang des Summenknotens 36 liefert das gesamte digitale Ausgangssignal auf einem Bus 38, das das digitale Ausgangssignal des Dezimierungsfilters darstellt. Die Filterkoeffizienten für die Prozessoren 32 und 34 sind in einem Filterkoeffizientenspeicher 35 abgespeichert, der typischerweise ein ROM ist.

Während der Kalibrierung steht eine Steuerschaltung 40 für die Nichtlinearitäts-Kalibrierung zur Verfügung, die ein integraler Bestandteil der Kalibriersteuerschaltung 22 ist. Die Nichtlinearitäts-Steuerschaltung 40 ist in der Lage, den Kalibriermultiplexer 10 so zu steuern, daß ein Masse- oder Null-Eingangssignal ausgewählt wird. Das digitale Ausgangssignal auf dem digitalen Bus 38 wird dann in einen δ -Prozessor eingespeist, der eine Iterationstechnik zur Minimierung des Fehlers anwendet. Sobald der Fehler minimiert ist, wird der Wert von δ in dem δ -Koeffizientenblock für den Normalbetrieb eingefroren. Man kann sehen, daß dieser Kalibriervorgang außerhalb des Delta-Sigma-Modulators 12 stattfindet, so daß die Kalibrierung unabhängig von der Schaltung ist. Desweiteren ist zu sehen, daß bei m Pegeln nur $m-2$ -Pegel kompensiert werden müssen. In der vorliegenden Ausführungsform mit drei Pegeln muß nur einer der Pegel, der -1 -Pegel, kompensiert werden, um die Nichtlinearitäten zu entfernen.

In Fig. 3 ist ein Blockschaltbild eines m -Pegel-Delta-Sigma-Modulators dargestellt. Der Delta-Sigma-Modulator besteht aus einer Eingangsintegrationsstufe 50 mit einem positiven und einem negativen Eingang, wobei der positive Eingang mit Masse und der negative Eingang mit einem Summenknoten 52 verbunden ist. Ein Rückkopplungskondensator 54 ist zwischen dem Eingangsknoten und dem Ausgang des Integrators 50 angeschlossen. Eine Stromquelle 56 liefert den Eingangsstrom für den Analog/Digital-Wandler. Es sollte jedoch auf der Hand liegen, daß auch ein Spannungseingang mit einem zusätzlichen, digital geschalteten Eingangskondensator verwendet werden könnte. Der Ausgang des Integrators 50 ist mit dem Eingang einer Rauschunterdrückungsschaltung 58 verbunden, die typischerweise aus mehreren Integratoren besteht, wie es später noch beschrieben werden wird. Die Rauschunterdrückungsschaltung 58 besitzt eine Übertragungsfunktion $H'(z)$. Der Ausgang der Rauschunterdrückungsschaltung 58 ist mit einem Eingang eines eingebetteten Analog/Digital-Wandlers (ADC) 60 mit $m-1$ -Schwellen verbunden.

Der Ausgang des eingebetteten ADC's 60 ist ebenfalls mit dem Steuereingang eines m -Pegel-Digital/Analog-Wandlers (DAC) 64 verbunden. Der m -Pegel-DAC liefert drei normierte Pegel, $+1$, 0 und -1 , wobei der 0 -Pegel einen "nichts tun"-Pegel darstellt. Dem m -Pegel-DAC 64 sind mehrere Ausgangsspannungen zur Definition verschiedener Rückkopplungspegel zusätzlich zu einem "nichts tun"-Ausgangssignal zugeordnet.

In Fig. 4 ist ein genaueres Blockschaltbild des Delta-Sigma-Modulators von Fig. 3 dargestellt, das einen Zwei-Bit-Ausgang, der drei Zustände liefert, zeigt. Der eingebettete ADC 60 besteht aus zwei Komparatoren, einem Komparator 66 und einem Komparator 68. Der Komparator 66 hat seinen positiven Eingang mit einer Schwellenspannung V_1 und seinen negativen Eingang

mit dem Ausgang der Rauschunterdrückungsschaltung 58 verbunden. Der Komparator 68 hat seinen positiven Eingang mit dem Ausgang der Rauschunterdrückungsschaltung 58 und seinen negativen Eingang mit einer Schwellenspannung V_2 verbunden. Die Ausgangssignale der beiden Komparatoren 66 und 68 bilden das Zwei-Bit-Ausgangssignal, das in das Digitalfilter 18 und auch in dem DAC 64 eingespeist wird. Wenn demzufolge die Spannung V_A an der Rauschunterdrückungsschaltung 58 kleiner als V_1 und größer als V_2 ist, dann ist der Ausgangszustand ein "11"-Zustand, während der Ausgangszustand ein "01"-Zustand ist, wenn V_A größer als V_1 ist, und der Ausgangszustand ein "10"-Zustand ist, wenn V_A kleiner als V_2 ist. Dieses ergibt drei getrennte Zustände. Der erste Zustand ist jedoch der "nichts tun"-Zustand, wobei das Ausgangssignal "11" ist.

Der DAC 64 besteht aus einem geschalteten Kondensator 70, dessen einer Anschluß mit dem Schaltarm eines Schalters 72 verbunden ist, wobei der Schalter 72 zwischen Masse und dem Eingangsknoten 52 umschalten kann. Die andere Platte des Kondensators 70 ist mit dem Schaltarm eines Schalters 74 verbunden, wobei der Schalter 74 zwischen den Referenzspannungen $-V_R$ und $+V_R$ umschalten kann. Die Schalter werden so gesteuert, daß der "nichts tun"-Zustand immer dann auftritt, wenn der Schalter 72 für eine volle Abtastperiode auf Masse geschaltet ist. Der $+1$ -Zustand tritt immer dann auf, wenn der Kondensator 70 geladen wird, wobei der Schalter so geschaltet ist, daß er in Kontakt mit der Referenzspannung $-V_R$ steht, und der Schalter 72 in einer ersten Phase der Abtastperiode auf Masse liegt. Dann werden in einer zweiten Phase der Abtastperiode beide Schalter 72 und 74 umgeschaltet. In dem -1 -Zustand wird der Kondensator 70 durch Verbindung des Schalters 72 mit Masse und des Schalters 72 mit $+V_R$ in einer ersten Abtastperiode aufgeladen. Dann werden die Schalter 72 und 74 in einer zweiten Phase der Abtastperiode umgeschaltet.

In Fig. 5 ist die Frequenzantwort als Diagramm dargestellt, welche das Ausgangsspektrum für einen idealen Modulator zeigt. Es ist zu sehen, daß die Rauschpegel innerhalb des interessierenden Bandes, zwischen 0 und einer Eckfrequenz f_B , signifikant reduziert sind. Anschließend steigt der Rauschpegel steil an.

In Fig. 6 ist eine Frequenzgangdarstellung der Antwort des Digitalfilters gezeigt, das, wie aus dem Frequenzgang zu ersehen ist, ein sehr scharfes Ziegelwandfilter ist, das einen sehr steilen Abfall bei f_B aufweist. Demzufolge wird primär das interessierende Band bis zur Frequenz f_B durchgelassen, während alle Spektralanteile über f_B im wesentlichen ausgefiltert werden. Dieses ist eine konventionelle Filterungstechnik für Analog/Digital-Wandler, die ein FIR-Filter verwenden.

In Fig. 7 ist die Frequenzantwort für ein nichtideales Modulatorausgangsspektrum dargestellt. Man kann sehen, daß die Frequenzamplitude zwischen Null und B signifikant höher ist als bei der idealen Antwort von Fig. 5. Das ist durch das thermische Rauschen und die Nichtlinearitätsfehler des Rückkopplungs-ADC's begründet. Das System der vorliegenden Erfindung entfernt diese, auf den Nichtlinearitäten im Rückkopplungs-DAC beruhenden Fehler.

Fig. 8 ist ein Diagramm des DAC-Ausgangssignals über dem Modulatorausgangssignal, das die drei Zustände des Drei-Pegel-Delta-Sigma-Modulators 12 repräsentiert. Der 0 oder "nichts tun"-Zustand ist durch einen Punkt 76 repräsentiert, der am Schnittpunkt der zwei Achsen liegt. Diese Situation tritt in einem Fall auf,

bei dem die Verstärkungs- und Offsetfehler bereits kompensiert wurden. Der "+1"-Zustand ist durch einen Punkt 78 repräsentiert, während der "-1"-Zustand durch ein Punkt 80 repräsentiert wird. Es ist zu sehen, daß die Punkte 76, 78 und 80 nicht auf einer geraden Linie liegen, wobei der gerade Linienpfad durch eine Linie 82 repräsentiert wird. Da es zwei Punkte gibt, die inhärent die Linearität darstellen, ist es nur erforderlich, die lineare Beziehung mit zwei Punkten, wie z. B. den Punkten 76 und 78, zu definieren, was dann die Linie 82 definiert. Der Punkt 80 weicht von dem geraden Linienpfad um einen kleinen Betrag ab, wobei dieses die Nichtlinearität in dem Delta-Sigma-Modulator 12 repräsentiert.

Gemäß der vorliegenden Erfindung wird, anstelle der Ansteuerung des Digitalfilters mit den Pegeln "-1", "0" und "+1", das Digitalfilter mit den Pegeln "δ", "0" und "1" angesteuert. Der Parameter δ wird während eines Kalibriervorgangs abgeglichen, wobei der Modulatoreingangssignalpegel auf "0"-Pegel gehalten wird. Der Parameter δ wird solange abgeglichen, bis das Quantisierungsrauschen am Digitalfilterausgang minimiert ist. Simulationen des Delta-Sigma-Modulators haben ergeben, daß das optimale Rauschverhalten erzielt wird, wenn der δ-Parameter den Linearitätsfehler des Rückkopplungs DAC's präzise kompensiert. Demzufolge ist keine "a"-Kenntnis der DAC-Nichtlinearität notwendig.

In Fig. 9 ist ein Blockschaltbild eines konventionellen FIR-Dezimierungsfilters dargestellt, das mit den Modulatorausgangssignalen "δ", "0" und "+1" angesteuert wird, wobei diese Pegel die unvollkommenen Rückkopplungspegel des Modulator-DAC's abbilden müssen. Zu beachten ist, daß der Wert von δ bis zur vollen Auflösung des Analog/Digital-Wandlers bekannt sein muß, und daß eine Präzision in der Größenordnung von 20 Bits für Hochauflösungs-Anwendungen erforderlich sein kann. Das Filter besteht aus mehreren Verzögerungsstufen oder Verzögerungsblöcken 78 mit der Übertragungsfunktion z^{-1} . Das Eingangssignal $x(k)$ wird in den ersten der Verzögerungsblöcke 78 eingegeben, während das Eingangssignal $x(k)$ und das Ausgangssignal von jedem der Verzögerungsblöcke über die Multiplikationsblöcke 82, zur Multiplikation jeden Ausgangssignals der Verzögerungsblöcke 78 und des Eingangssignals $x(k)$ mit einem der N Filterkoeffizienten a_0 bis a_{N-1} , in einen Akkumulator 81 eingegeben wird. Das digitale Ausgangssignal $y(k)$ läßt sich durch die folgende Gleichung darstellen:

$$y(k) = \sum_{i=0}^{N-1} a_i x(k-i)$$

Das Filter von Fig. 9 ist ein konventionelles Filter und erfordert nur die Erzeugung des Wertes von δ zum Zwecke der Ansteuerung des Digitalfilters. Die Abgriffswichtungen $\{a_i\}$ definieren die Übertragungsfunktion des Dezimierungsfilters. Die Abgriffswichtungen sind typischerweise in einem ROM gespeichert, und Dezimierungsfiler mit hoher Qualität können eine Koeffizientenpräzision im Extremfall bis zu 20 Bits erfordern. Demzufolge wird ein 20×20 Bit Hardware-Multiplikator benötigt. In den meisten integrierten FIR-Filtern ist jedoch die Multiplikations/Akkumulations-Funktion zeitlich gemultiplext, um den Hardwareaufwand zu reduzieren. In dem in Fig. 9 dargestellten Filter sind Multiplikationen bei einer Frequenz von $N \cdot f_s / M$ erforder-

lich, wobei N die Anzahl der Filterabgriffe und M das Dezimierungsverhältnis ist.

In Fig. 10 ist ein Dezimierungsfiler ohne Multiplikator gezeigt, was die bevorzugte Ausführungsform der vorliegenden Erfindung darstellt. Dieser Systemtyp ist zum ersten Mal in J. J. van der Kam, "A Digital 'Decimation' Filter for Analog/Digital Conversion for High-Fi Audio Signals", Philips Tech. Rev. 42, No. 6/7, Seite 239-238, April 1986 offenbart worden. Bei Verwendung einer solchen Struktur benötigt das System keinen Hardwaremultiplikator ($a_i \cdot \delta$) mit der Frequenz der Oversamplingrate. Dieses wird durch die Vertauschung der Vorgänge der δ-Skalierung und der Dezimierungsfilerung erreicht.

Das Eingangssignal $x(k)$ wird auf eine Kaskade von Verzögerungsblöcken 84 gegeben, deren Ausgangssignale jeweils in einen der zwei Schalter 86 und 88 eingegeben werden, wobei $x(k)$ ebenfalls in einen der zwei Schalter 86 und 88 zu deren Steuerung eingegeben wird. Die Schalter 86 und 88 werden so gesteuert, daß sie an ihren Eingängen eine Abgriffswichtung a_0 bis a_N oder Masse empfangen. Das Eingangssignal $x(k)$ ist ein Modulatorausgangssignal mit den Pegeln "-1", "0" und "+1". Der "+1"-Pegel steuert die Schalter 86 und der "-1"-Pegel steuert den Betrieb der Schalter 88, um zwischen Masse und der Abgriffswichtung (Filterkoeffizient) umzuschalten. Der Ausgang aller Schalter 86 ist mit einem "+1"-Akkumulator 90 verbunden, und die Ausgänge aller Schalter 88 werden in einen der mehreren Anschlüsse eines "-1"-Akkumulators 92 eingegeben. Wenn demzufolge das Datum der Verzögerungsleitung einen "+1"-Pegel aufweist, wird der entsprechende Koeffizient zum "+1"-Akkumulator 90 addiert und nichts wird zum "-1"-Akkumulator 92 addiert. Wenn das Verzögerungsleitungsdatum auf "-1"-Pegel liegt, wird der entsprechende Koeffizient zum "-1"-Akkumulator 92 addiert und nichts wird zum "+1"-Akkumulator 90 addiert. Wenn das Datum auf "0"-Pegel liegt, addiert weder der Akkumulator 90 noch der Akkumulator 92 irgendetwas. Die Schalter 86 und der Akkumulator 90 bilden den "+1"-Prozessor 32 während die Schalter 88 und der Akkumulator 92 den in Fig. 2 dargestellten "-1"-Prozessor 34 bilden.

Das Ausgangssignal des Akkumulators 90 wird in den positiven Eingang des Summenknotens 36 eingespeist, während das Ausgangssignal des Akkumulators 92 in die Kompensationsschaltung 14 eingegeben, und deren Ausgangssignal in dem negativen Eingang des Summenknotens 36 eingespeist wird. Die Abgriffswichtungen a_0 bis a_N sind in dem Filterkoeffizientenblock 35 gespeichert, der typischerweise ein ROM ist. Die δ-Korrektur wird bei der dezimierten Ausgangsrate (f_s') hinzugefügt, die eine viel niedrigere Frequenz als die Abtastfrequenz f_s ist; typischerweise ist $f_s' > 2f_s$. Die Kompensationsschaltung 14 ist eine relativ einfache bitserielle Multiplikations/Akkumulations-Vorrichtung.

In Fig. 11 ist ein Blockschaltbild dargestellt, das die Prozessoren 32 und 34 beim Kalibriervorgang zeigt. Die in dem Koeffizienten-ROM 35 gespeicherten Koeffizienten werden durch einen Adressengenerator 94 gesteuert, der sicherstellt, daß die richtigen Koeffizienten zum richtigen Zeitpunkt auf die richtigen Daten einwirken. Es sind zwei Differentiatorblöcke 96 und 98 vorgesehen, wobei der Differentiatorblock 96 zwischen dem Ausgang des "-1"-Prozessors 34 und dem Eingang der Kompensationsschaltung 14 angeschlossen ist und der Differentiatorblock 98 zwischen dem Ausgang des "+1"-Prozessors 32 und dem positiven Eingang des

Summenknotens 36 angeordnet ist. Beide Differentiatorblöcke 96 und 98 haben eine Übertragungsfunktion von $1-z^{-1}$. Die Differentiatorblöcke 96 und 98 verhindern, daß Gleichspannungsoffsets die Kalibriervorgänge beeinflussen. Diese Blöcke werden nach Abschluß der Kalibrierung umgangen.

Der Kalibriervorgang verwendet den δ -Prozessor 39, der das Ausgangssignal des Differentialblocks 96 $z(j)$ und auch das Ausgangssignal des Summierblockes 36 empfängt. Der δ -Prozessor 39 setzt ein iteratives Verfahren ein, um die δ_j -Koeffizienten zur Abspeicherung in dem δ -Koeffizientenblock 16 zu erzeugen.

Die Kalibrierprozedur setzt ein iteratives Verfahren ein, um den Wert von δ herauszufinden, der das digitale Ausgangssignal $e(j)$ minimiert. Das Ausgangssignal wird während der Kalibrierung mit $e(j)$ benannt, da das Modulatoreingangssignal gleich Null gesetzt ist, so daß jedes anwesende Signal am Filterausgang Rausch- und/oder Modulatorfehler repräsentiert. Der Wert von δ in der $(j+1)$ -ten Iteration, δ_{j+1} , ändert sich von seinem Wert δ_j in der j -ten Iteration gemäß der folgenden Beziehung:

$$\delta_{j+1} = \delta_j + \beta z(j) e(j).$$

In dieser Gleichung steuert β die Geschwindigkeit, mit der δ auf seinen Endwert konvergiert, und bestimmt gleichzeitig die Stabilität der Konvergenz bei der Anwesenheit von Rauschen. Kleine Werte von β verbessern die Rauschunempfindlichkeit, erhöhen aber die Kalibrierzeit. Natürlich konvergiert δ gegen einen konstanten Wert ($\delta_{j+1} = \delta_j$), sobald $e(j)$ auf Null geschaltet wird. Die Konvergenz reduziert effektiv das von den DAC-Nichtlinearitäten verursachte Rauschen im interessierenden Frequenzband.

Die anhand von 11 beschriebene Topologie filtert das Hochfrequenzrauschen, also das Rauschen bei Frequenzen über f_B , aus $e(j)$ aus. Der Einsatz einer im Normalbetrieb erforderlichen Tiefpass-Filterung reduziert im hohen Maße $e(j)$ und liefert eine bessere und schnellere Konvergenz von δ . Im allgemeinen kann die Bandbreite des Tiefpaßfilters im aktuellen Fall während der Kalibrierung kleiner als die Bandbreite während der Wandlung sein, um $e(j)$ weiter zu reduzieren, und um die Wandlung zu verbessern. Es muß jedoch die Filterkomplexität erhöht werden, obwohl die erhöhte Komplexität im Normalbetrieb nicht erforderlich ist.

Obwohl das System unter Verwendung eines Drei-Pegel-Delta-Sigma-Modulators und eines Drei-Pegel-Rückkopplungs-DAC's beschrieben wurde, können iterative Multi-Parameter Suchläufe für Delta-Sigma-Modulatorsysteme mit Werten von m eingesetzt werden, die größer als Drei bei den Rückkopplungs-DAC-Pegel sind. Das würde $m-2$ einstellbare Parameter zur Entfernung der digitalen Fehler eines m -Pegel-DAC's erfordern.

Der iterative Prozeß zur Bestimmung von δ_j ist in Widrow and Stearns, "Adaptive Signal Processing", Prentice Hall, Englewood Cliffs, N. J., 1985 Kapitel 1 beschrieben. Nach der Ausführung des iterativen Suchlaufs werden das Modulatoreingangssignal mit dem Kalibriermultiplexer 10 von Null weggeschaltet, der Wert von d eingefroren und die Differentiatorblöcke 96 und 98 umgangen. Dieses ergibt die in Fig. 12 dargestellte Topologie. Das durch die DAC-Nichtlinearitäten verursachte überschüssige In-Band-Rauschen ist im Normalbetrieb vollständig entfernt. Nach der Kalibrierung der Nichtlinearitäten werden die Verstärkungsfehler und

die Gleichspannungsoffsets entsprechend der Gesamtkalibrierung, die oben mit Bezug auf Fig. 1 beschrieben wurde, kalibriert.

Zusammengefaßt wurde ein Verfahren zur Kalibrierung der Nichtlinearitäten in einem Multi-Pegel-Delta-Sigma-Modulator geschaffen. Der Delta-Sigma-Modulator enthält einen Multi-Pegel-Rückkopplungs DAC, der inhärente Linearitäten aufweist. Die Nichtlinearitäten werden durch das Ändern der Ansteuerpegel, die in den Digitalfilterbereich eingegeben werden, kompensiert. Bei einem m -Pegel-DAC müssen nur $m-2$ der m -Pegel kompensiert werden, um die Nichtlinearitäten in dem Delta-Sigma-Modulator herauszukalibrieren. Während des Kalibriervorgangs wird der Eingang des Delta-Sigma-Modulator auf Null gesetzt und der Wert der in die Digitalfilterbereiche eingegebenen variablen Parameter variiert, um die Fehler zu minimieren. Dieser Wert wird dann eingefroren, und im Normalbetrieb wird dieser Wert zur Kompensation von einem der Pegel in dem Eingangssignal zu dem Digitalfilterbereich verwendet. Diese Verfahren erfordert keine "a priori"-Kenntnis der DAC-Nichtlinearitäten.

Patentansprüche

1. Analog/Digital-Wandler mit Kalibrierung, mit
 - einem Delta-Sigma-Modulator (12) zur Wandlung eines analogen Eingangssignals in ein digitales m -Pegel-Ausgangssignal, das das Eingangssignal bei einer Abtastrate repräsentiert, wobei der Delta-Sigma-Modulator (12) damit verbundene Nichtlinearitäten aufweist;
 - einem digitales Dezimierungsfiler, das durch das m -Pegel-Ausgangssignal des Delta-Sigma-Modulators (12) angesteuert wird, um die Frequenzkomponenten außerhalb des Bandes auszufiltern, und um einen gefilterten digitalen Wert bei einer dezimierten Abtastrate auszugeben, wobei das Digitalfilter (18) entsprechend den gespeicherten Filterkoeffizienten arbeitet;
 - einer Speichereinrichtung (16) zur Speicherung der Filterkoeffizienten und auch zur Speicherung der Nichtlinearitäts-Kompensationsparameter;
 - einer Nichtlinearitäts-Kompensationseinrichtung (14) zur Steuerung des Digitalfilters (18) um Nichtlinearitäten in dem Delta-Sigma-Modulator (12) entsprechend den gespeicherten Nichtlinearitäts-Kompensationsparametern zu kompensieren;
 - einer Kalibriereinrichtung zum Betrieb des Delta-Sigma-Analogmodulators (12) und des Digitalfilters (18) in einem Kalibriermodus und für die Bestimmung der Nichtlinearitäts-Kompensationsparameter zur Abspeicherung in der Speichereinrichtung (16);
 dadurch gekennzeichnet, daß die Kompensationseinrichtung (14) in der Lage ist, $m-2$ von den durch den Delta-Sigma-Modulator (12) ausgegebenen m -Pegeln, die das Digitalfilter (18) ansteuern, zu variieren, wobei die $m-2$ kompensierten Pegel der m -Pegel entsprechend den gespeicherten Nichtlinearitäts-Kompensationsparametern kompensiert werden.
2. Analog/Digital-Wandler nach Anspruch 1, dadurch gekennzeichnet, daß der Wert von m gleich Drei ist.

3. Analog/Digital-Wandler nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Delta-Sigma-Modulator (12) aufweist:

- ein Schleifenfilter für den Empfang des Eingangssignals und zur Verarbeitung der Differenz zwischen dem Eingangssignal und einem Rückkopplungs-DAC-Signal, um ein gefiltertes Ausgangssignal zu erzeugen;
- einen Multi-Pegel-Quantisierer (60) mit $m-1$ -Quantisier-Schwellenspannungen, wobei der Quantisierer (60) in der Lage ist, das Ausgangssignal des Schleifenfilters zu empfangen und einen m -Pegel-Quantisierwert auszugeben; und
- einen m -Pegel-Digital/Analog-Wandler (64), um an dessen Ausgang das Ausgangssignal des Quantisierers (60) aufzunehmen, wobei dessen Ausgang das Rückkopplungs-DAC-Signal für die Eingabe in das Schleifenfilter liefert.

4. Analog/Digital-Wandler nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß das Ausgangssignal des Delta-Sigma-Modulator (12) einen "1"-Pegel, einen "nichts tun"-Pegel und einen "+1"-Pegel aufweist, und das Digitalfilter (18) aufweist:

- erste und zweite Prozessoren (32, 34), die jeweils dem "+1"-Pegel bzw. dem "1"-Pegel zugeordnet sind, damit jeder der Prozessoren (32, 34) die gespeicherten Filterkoeffizienten empfängt und einen Satz akkumulierter Filterkoeffizienten liefert, die als Funktion der zugeordneten Pegel akkumuliert werden, die von dem Delta-Sigma-Analogmodulator (12) ausgegeben werden;
- eine Summiereinrichtung (36) zum Summieren der Differenz zwischen den Ausgangssignalen des ersten und zweiten Prozessoren (32, 34) bei der dezimierten Abtastrate;
- wobei die Kompensationseinrichtung (14) das Ausgangssignal von einem der ersten und zweiten Prozessoren (32, 34) bei der dezimierten Abtastrate entsprechend den Nichtlinearitäts-Kompensationsparametern kompensiert, bevor es in die Summiereinrichtung (36) eingegeben wird.

5. Analog/Digital-Wandler nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Kalibriereinrichtung (40) im Ansprechen auf den Empfang eines Kalibriersignals (30) arbeitet, wobei die Kalibriereinrichtung (40) aus einem normalen Betriebsmodus in den Kalibriermodus wechselt, nach der Bestimmung der Nichtlinearitäts-Kompensationsparameter die ermittelten Nichtlinearitäts-Kompensationsparameter in dem Speicher speichert, und danach in den normalen Betriebsmodus zurückwechselt.

6. Analog/Digital-Wandler nach Anspruch 5, dadurch gekennzeichnet, daß das Kalibriersignal ein externes Kalibriersignal ist, das außerhalb erzeugt wird.

7. Analog/Digital-Wandler nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Kalibriereinrichtung (40) aufweist:

- einen Kalibriermultiplexer (10), um das Eingangssignal auf einen Null-Pegel umzuschalten;
- einen Prozessor für die Anpassung der Nichtlinearitätsparameter, um das Ausgangs-

signal des Digitalfilters (18) mit einem gewünschten Wert zu vergleichen, um einen Fehler zu definieren und iterativ den Wert der Nichtlinearitäts-Kompensationsparameter zu ändern, bis der Fehler die vorbestimmten Kriterien erfüllt; und

- wobei der adaptive Prozessor (39) den Wert der Nichtlinearitäts-Kompensationsparameter in dem Speicher (16) speichert, welcher aus dem Fehler resultierte, der die vorbestimmten Kriterien erfüllt.

8. Analog/Digital-Wandler nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Digitalfilter (18) aufweist:

- mehrere Prozessoren, von denen jeder einem ausgewählten der mindestens zwei m -Pegel zugeordnet ist, damit jeder Prozessor die gespeicherten Filterkoeffizienten empfängt und einen Satz akkumulierter Filterkoeffizienten liefert, die als Funktion der zugeordneten Pegel akkumuliert werden, die von dem Delta-Sigma-Analogmodulator (12) ausgegeben werden;
- eine Summiereinrichtung zur Summenbildung der Ausgangssignaldifferenz zwischen den Prozessoren bei der dezimierten Abtastrate;
- wobei die Kompensationseinrichtung (14) das Ausgangssignal eines der Prozessoren bei der dezimierten Abtastrate entsprechend den Nichtlinearitäts-Kompensationsparametern kompensiert, bevor es in die Summiereinrichtung eingegeben wird.

9. Verfahren zur Ausführung einer Analog/Digital-Wandlung eines Eingangssignals und zur Kompensierung der Nichtlinearitäten in dem Wandlungsprozeß, umfassend die Schritte:

- Wandeln eines analogen Eingangssignals in ein digitales m -Pegel-Ausgangssignal in einem Wandlungsprozeß, wobei das digitale Ausgangssignal das analoge Eingangssignal bei einer Abtastfrequenz repräsentiert, und der Schritt der Wandlung damit verbundene Nichtlinearitäten aufweist;
- Bereitstellen eines digitalen Dezimierungsfilters, das in der Lage ist, die Frequenzkomponenten außerhalb des Bandes wegzufiltern, um einen gefilterten Digitalwert bei einer dezimierten Abtastfrequenz auszugeben;
- Speichern der Filterkoeffizienten und der Nichtlinearitäts-Kompensationsparameter in einem Speicher;
- Filtern des m -Pegel-Ausgangssignals des Wandlungsprozesses mit dem Digitalfilter, um das Digitalausgangssignal zu erzeugen;
- Kompensieren der Nichtlinearitäten in dem Wandlungsprozeß durch Steuerung des Digitalfilters, um die Nichtlinearitäten in dem Wandlungsprozeß entsprechend den gespeicherten Nichtlinearitäts-Kompensationsparametern zu kompensieren, und
- Ausführen der Wandlungs- und Filterungsschritte in einem Kalibriermodus und Bestimmen der Nichtlinearitäts-Kompensationsparameter zur Abspeicherung in dem Speicher,

dadurch gekennzeichnet, daß der Schritt der Kompensation die Kompensation der Werte von $m-2$ der vom Wandlungsprozeß ausgegebenen m -Pegel

beinhaltet, die zur Ansteuerung des Digitalfilters verwendet werden.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß der Wandlungsschritt folgende Schritte aufweist:

- Empfangen des Eingangssignals und Ausführen einer Schleifenfilteroperation daran, um die Differenz zwischen dem Eingangssignal und einem Rückkopplungs-DAC-Signal zu verarbeiten, um ein gefiltertes Signal zu erzeugen;
- Bereitstellen eines Quantisierers mit $m-1$ Quantisierungsschwellspannungen und Quantisieren des gefilterten Signals, um einen m -Pegel-Quantisierwert auszugeben, der das digitale m -Pegel-Ausgangssignal enthält;
- Wandeln des m -Pegel-Quantisierwerts in einen analogen Wert mittels eines Digital/Analogwandlers, um das Rückkopplungs-DAC-Signal zu erzeugen; und
- Subtrahieren des Rückkopplungs-DAC-Signals von dem Eingangssignal, bevor es von dem Schleifenfilter verarbeitet wird.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß der Wert von m gleich Drei ist.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß das m -Pegel-Ausgangssignal einen "−1"-Pegel und der einen "nichts tun"-Pegel und einen "+1"-Pegel aufweist, wobei der Schritt des Filterns umfaßt:

- das Verarbeiten der "+1"-Pegel und der "−1"-Pegel in jeweils ersten bzw. zweiten Bearbeitungsschritten, damit jeder Bearbeitungsschritt die gespeicherten Filterkoeffizienten empfängt und einen Satz akkumulierter Filterkoeffizienten erzeugt, die als Funktion der zugeordneten Pegel erzeugt werden, die von dem Schritt der Wandlung ausgegeben werden;
- das Summieren der Differenz zwischen den ersten und zweiten Bearbeitungsschritten bei der dezimierten Abtastrate;
- wobei der Schritt der Kompensation bei der dezimierten Abtastrate in der Lage ist, das Ausgangssignal des ersten Bearbeitungsschrittes vor der Summenbildung der Differenz zwischen den ersten und zweiten Verarbeitungsschritten entsprechend den gespeicherten Nichtlinearitäts-Kompensationsparametern zu kompensieren.

13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, daß der Schritt zur Bestimmung der Nichtlinearitäts-Kompensationsparameter als Antwort auf den Empfang eines Kalibriersignals arbeitet und der Bestimmungsschritt in der Lage ist, zuerst den Betriebsmodus von einem normalen Betriebsmodus in den Kalibriermodus umzuschalten, und nach der Bestimmung der Nichtlinearitäts-Kompensationsparameter die ermittelten Nichtlinearitäts-Kompensationsparameter in dem Speicher zu speichern, und danach von dem Kalibriermodus in den normalen Betriebsmodus zurückzuschalten.

14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß der Schritt des Empfangs des Kalibriersignals den Empfang eines externen erzeugten Kalibriersignals einschließt.

15. Verfahren nach Anspruch 13 oder 14, dadurch

gekennzeichnet, daß der Bestimmungsschritt umfaßt:

- Umschalten des Eingangssignals auf einen Null-Pegel;
- Vergleichen des Ausgangssignals des Digitalfilters mit einem gewünschten Wert, um einen Fehler zu definieren und iteratives Ändern des Werts der Nichtlinearitäts-Kompensationsparameter, bis der Fehler kleiner als ein vorbestimmter Wert ist; und
- Speichern des Werts der Nichtlinearitäts-Kompensationsparameter im Speicher (16), die im Iterationsvorgang vorliegen, nachdem der Fehler kleiner als der vorbestimmte Wert geworden ist.

Hierzu 7 Seite(n) Zeichnungen

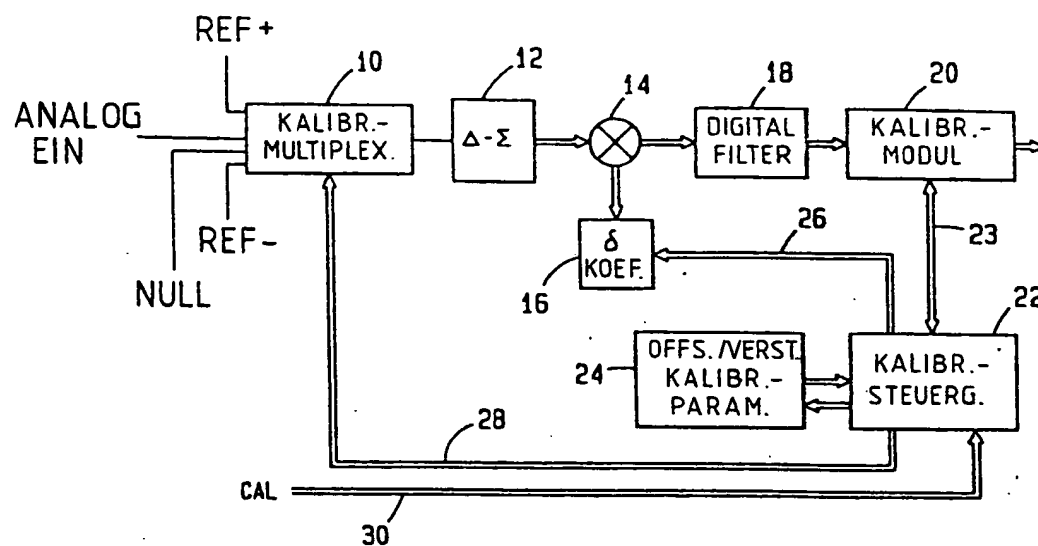


FIG. 1

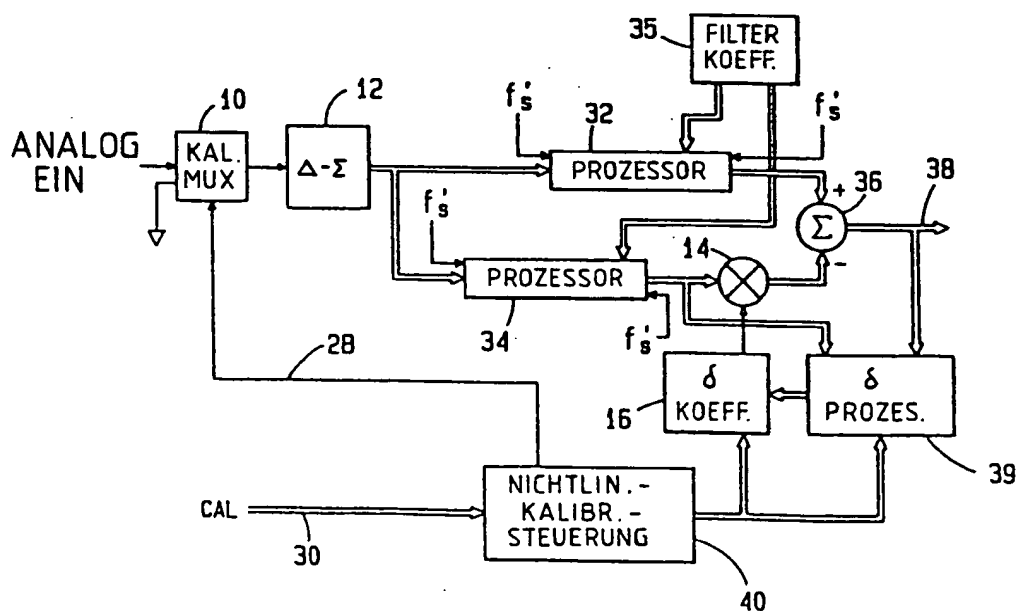


FIG. 2

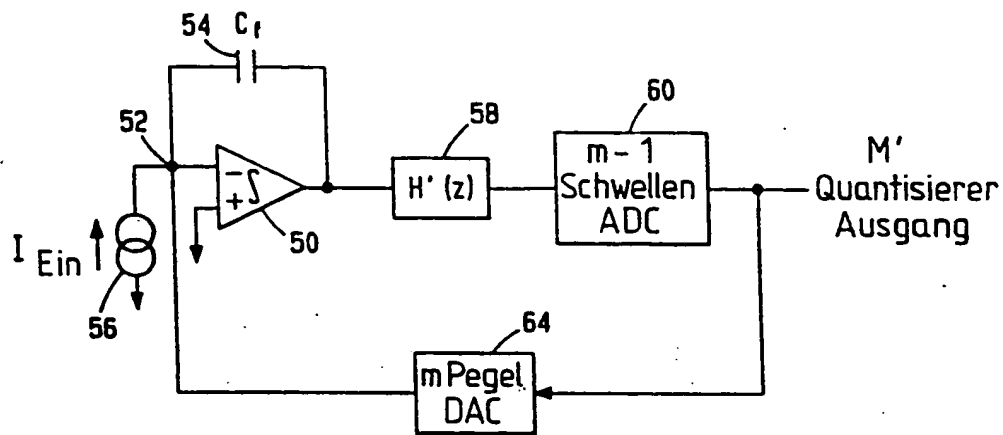


FIG. 3

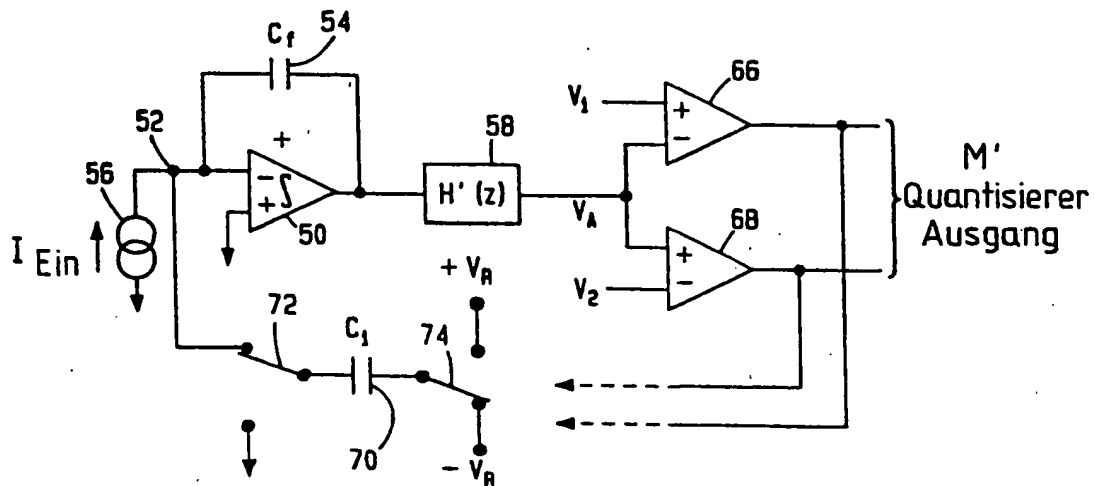


FIG. 4

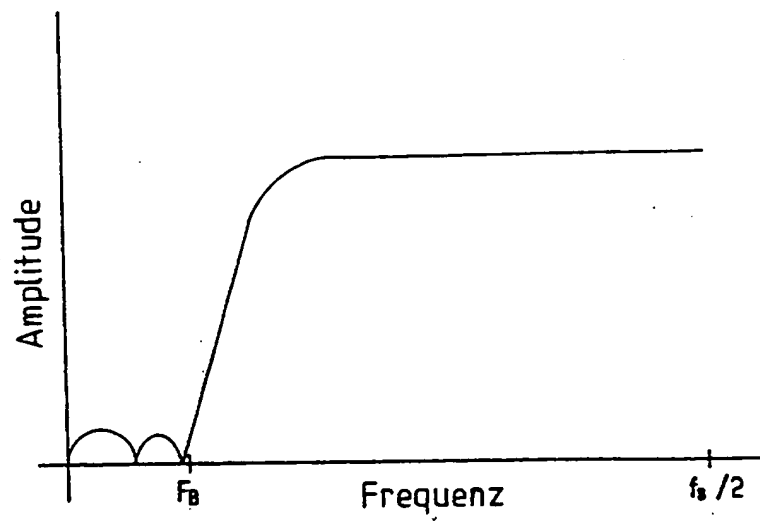


FIG. 5

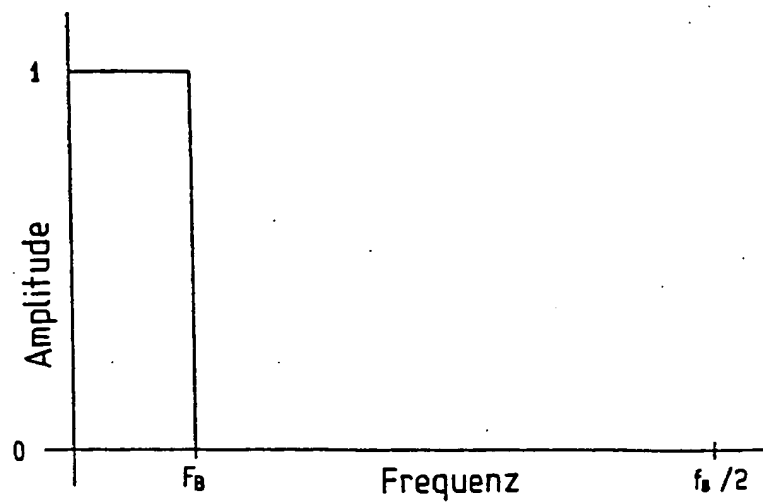


FIG. 6

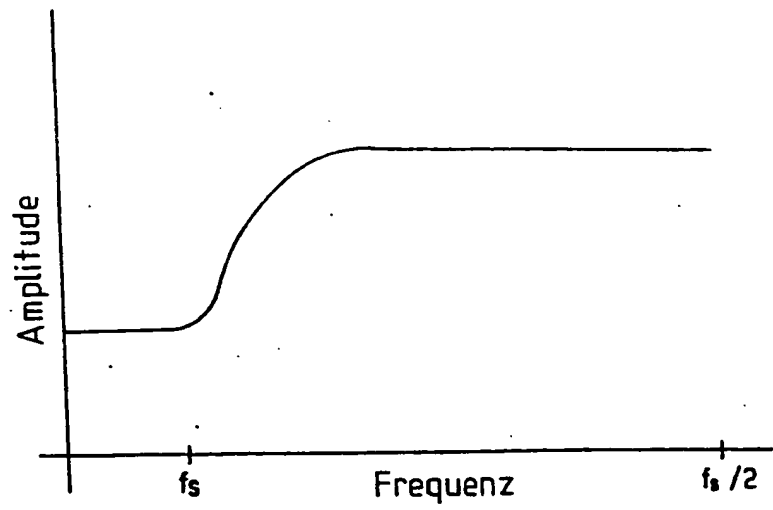


FIG.7

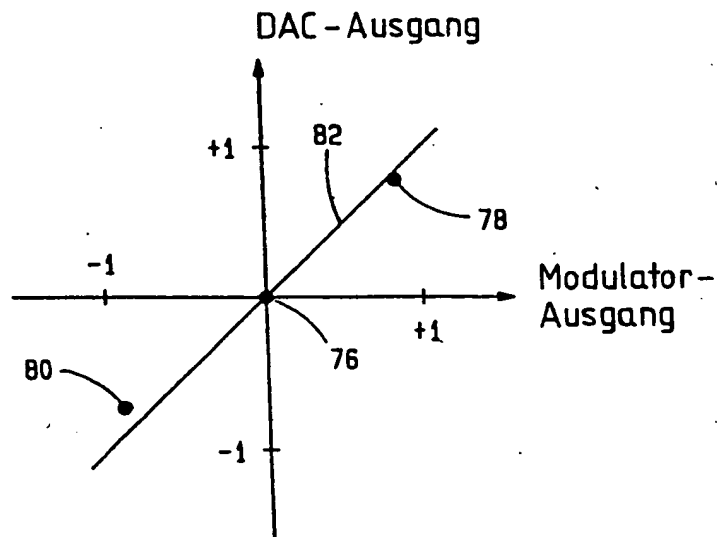


FIG.8

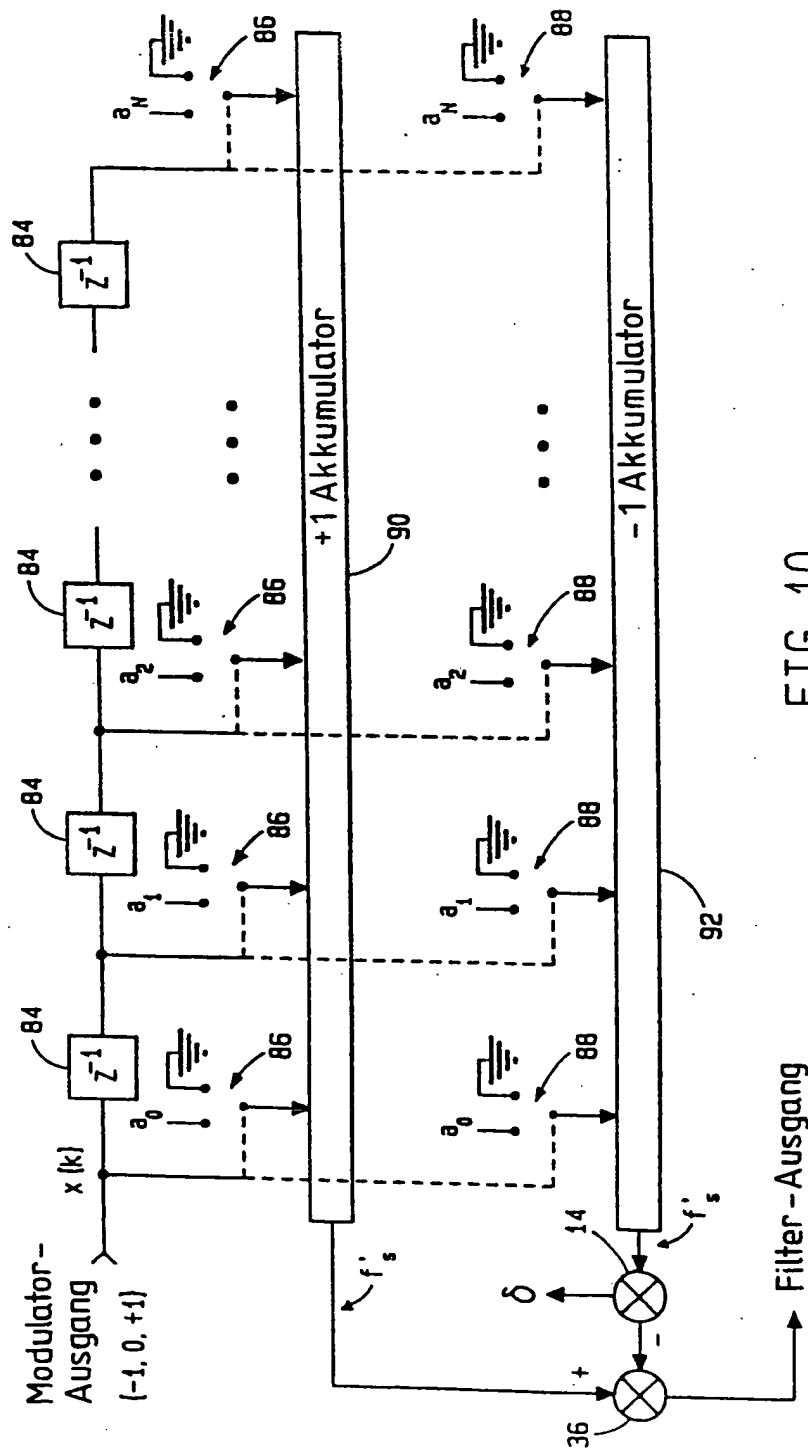


FIG. 10

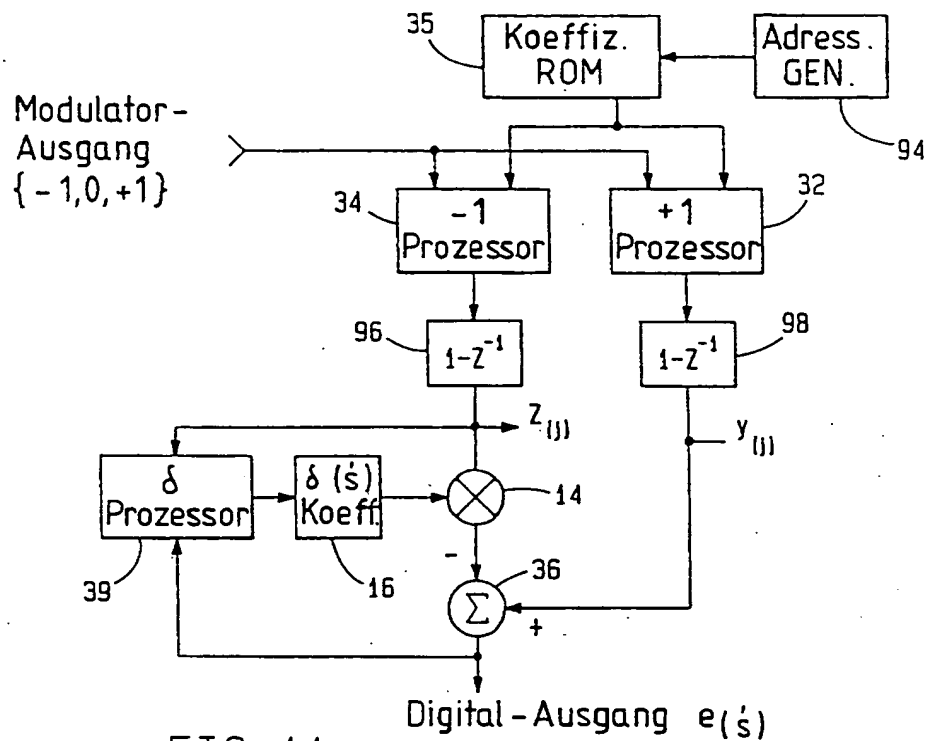


FIG. 11

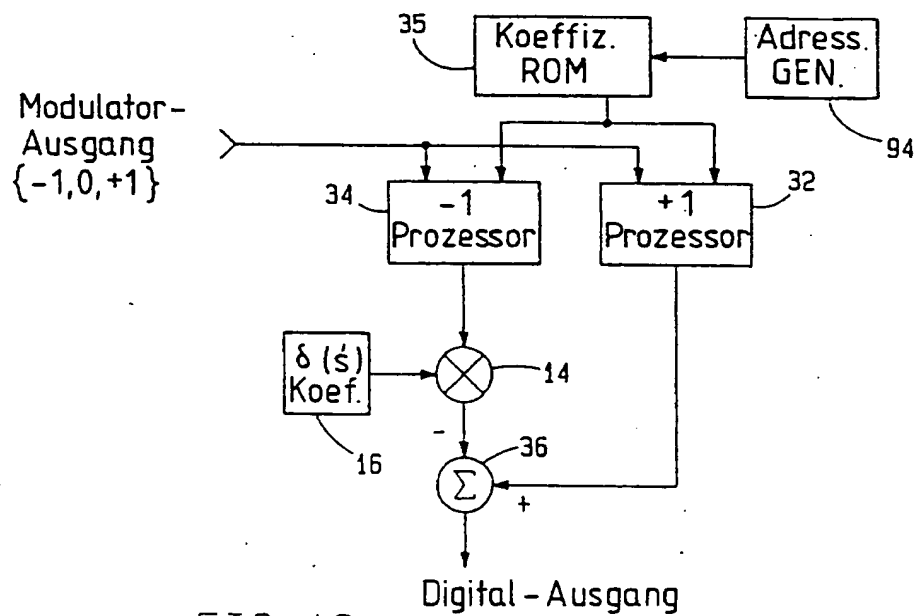


FIG. 12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.